



Normes Europees de Modelisme
Sistema de control digital DCC
Paquets de dades bàsics

NEM
671
Pàgina 1 de 5

Norma imperativa

Edició 2014
(substitueix l'edició 2007)

Observació 1: El contingut de la NEM 671 és conforme a l'estàndard NMRA S 9.2 (Edició Juliol 2004).

Aquesta versió és la referència per les comprovacions de conformitat.

NEM 671 follows the NMRA-Standard S 9.2. This version is the basis for conformance tests.

Observació 2: Aquesta norma no assegura una compatibilitat descendent amb els antics descodificadors de 14 passos de velocitat i una funció addicional, així com els antics descodificadors en els que el rellotge intern no seria compatible amb el factor de forma de senyal que es defineix aquí.

Observació 3: Les especificacions tècniques detallades i les bases per al testeig de conformitat es poden extreure de les normes següents de la RailCommunity (www.railcommunity.org):

RCN-210 DCC Transmissió del bit

RCN-211 DCC Estructura d'un paquet, i estructura bàsica per tots els paquets i camps d'adreces.

RCN-212 DCC Control de l'explotació dels descodificadors dins dels vehicles, i controls dels descodificadors dels vehicles.

RCN-213 DCC Controls per a l'explotació dels descodificadors d'accessoris.

RCN-214 DCC Control de configuració

1. Objectiu de la norma

Aquesta norma descriu els paquets de dades elementals (paquets de dades bàsics) que s'han d'emetre per una central DCC.

2. Definicions

- Un paquet de dades DCC és una successió definida de bits que s'especifiquen com senyal de via a la NEM 670.
- Un paquet de dades DCC bàsic es compon d'un número mínim de bits i grups de bits, anomenats en resum paquet de dades.
- Un grup de bits està compost per 8 bits i s'anomena octet. Cada bit d'un octet té un valor que es determina en funció de la seva posició en el grup, el primer bit a partir de la esquerra al valor més gran, es diu MSB (most significant bit). Els bits d'un octet s'enumeren d'esquerre a dreta de 7 a 0. El bit de més a la dreta es diu LSB (least significant bit).
- Els següents caràcters s'utilitzen per indicar el valor d'un bit:
 - 0** Valor 0
 - 1** Valor 1
 - A** Bit de direcció
 - D** Bit de dades (que no és significatiu)
 - P** Bit de control – els vuit bits de l'últim octet d'un paquet
 - x** Bit el valor del qual depèn del tipus de paquet o de la central i que no pot ser indicat de forma més precisa.

3. Format general d'un paquet de dades DCC

La descripció següent dels elements d'un paquet de dades en bits i octets defineix un paquet de dades vàlids i serveix per activar els descodificadors.¹⁾

Les seqüències 4 i 5 descrites més endavant poden repetir-se moltes vegades però cada vegada conjuntament.

¹⁾ S'autoritzen els descodificadors que reconeixen altres formats a més de l'estàndard DCC (ver §6.)

Els paquets de dades DCC bàsics es componen de les seqüències següents:

1 - Bits de Sincronització:

El reconeixement d'un paquet de dades DCC i la sincronització sobre el límit dels octets s'efectua mitjançant l'emissió d'una sèrie de bits 1.

Una central ha d'emetre com a mínim 16 bits de sincronització.

Un descodificador ha de poder rebre un paquet amb al menys 12 bits de sincronització.

Un descodificador ha de declarar no vàlid un paquet de dades que conté menys de 10 bits de sincronització.

2 - Bit Start:

El Bit Start es un bit « 0 » que segueix a la seqüència de sincronització. El Bit Start acaba la seqüència de sincronització i indica al descodificador, que els bits següents pertanyen al primer octet d'un paquet.

3 - Primer octet:

El primer octet del paquet de dades és, en mode d'exploració, un octet de direcció i, en mode de programació, un octet de control.

4 - Bit Start de l'octet de dades:

Aquest bit « 0 » precedeix a l'octet de dades que li segueix.

5 - Octet de dades:

Els 8 bits que formen l'octet de dades s'utilitzen com a direccions, instruccions (ordres d'execució), dades o com octet de control per la detecció d'errors de transmissió. L'últim octet d'un paquet és sempre un octet de control.

6 - Bit Stop:

El bit stop és un bit « 1 » que assenyalava la finalització de la transmissió del paquet.

Si el paquet següent segueix immediatament, aquest bit de parada pot ser comptat com si fos part dels bits de sincronització del paquet següent.

Si al paquet li segueix un paquet d'un altre format o d'una interrupció, la seqüència de dades DCC deu resseguir-se durant al menys 26 µs, és a dir que no ha de produir-se durant aquest temps ni canvi de polaritat ni interrupció d'alimentació.

L'octet de control es genera efectuant un «O exclusiu (XOR)» bit a bit de tots els octets que li precedeixen. És possible verificar-lo efectuant el XOR de tots els octets, comprès l'octet de control: el resultat ha de ser llavors ser zero. Els descodificadors han d'efectuar aquest control i ignorar un paquet reconegut com erroni.

Un paquet DCC conté com a mínim tres octets. D'aquesta manera s'obté, per un paquet de tres octets, el següent de bits:

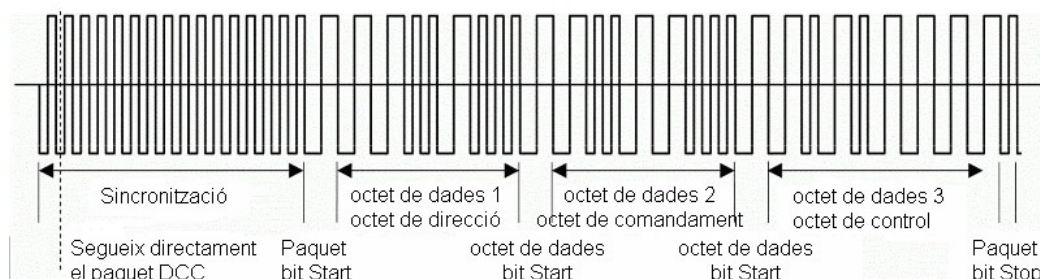
1111111111111111 0 xxxxxxxx 0 xxxxxxxx 0 P P P P P P P P 1

Bits de sincronització i inici Octet 1 Octet 2 Octet 3 = Octet de control i bit de final de paquet

En l'exemple d'un ordre bàsic relatiu a la velocitat (nivell 11) i el sentit de marxa cap endavant per la direcció (codificada sobre 7 bits) 55, la seqüència de bits seria:

1111111111111111 0 00110111 0 01100111 0 01010000 1

Figura 1: Exemple d'un paquet bàsic de dades DCC compost per 3 octets (1 octet de direcció, 1 octet de comandament, 1 octet de control), amb el codi de direcció 55 pel sentit de marxa "endavant" graduat a 14. Els 16 bits de sincronització mínima que s'han d'emetre es representen igualment.



La seqüència de bits per un paquet que conté sis octets és:

{bits de sincro} 0 xxxxxxxx 0 xxxxxxxx 0 xxxxxxxx 0 xxxxxxxx 0 xxxxxxxx 0 P P P P P P P P 1

4. Format de paquets de dades DCC bàsics

Aquest estàndard defineix la interoperativitat mínima entre els diferents sistemes DCC. Una central ha de codificar els comandaments de l'usuari en forma de paquets de dades bàsics i un descodificador ha d'interpretar correctament aquests paquets de dades per proporcionar així comandaments elèctrics apropiats al material motor connectat. Els paquets de dades més complexos que suporten diferents tipus de descodificadors, funcions addicionals, direccionament estès o passos de velocitat més nombrosos no estan descrits en aquesta norma.

4.1 Paquets de dades DCC bàsics per a la regulació de velocitat i sentit de marxa de les locomotores.

Format del paquet de dades DCC bàsic:

1111111111111111 0 0AAAAAAA 0 01DCSSSS 0 EEEEEEEE 1

Sincronització	Octet de dades 1	Octet de dades 2	Octet de dades 3
----------------	------------------	------------------	------------------

Octet de dades 1 – Octet de direcció: L'octet de direcció transmet la direcció del receptor previst per rebre les dades.

El primer octet del paquet del format DCC comprèn en aquest mode d'explotació la direcció primària. Per permetre l'explotació de diversos tipus de descodificadors, aquesta direcció primària està subdividida en blocs fixos de la següent manera.

- Direcció 0000-0000 (0):
Direcció de difusió general de les informacions a tots els descodificadors dels vehicles
- Direccions de 0000-0001 a 0111-1111 inclosa (1 a 127):
Descodificador para vehicle amb direcció sobre 7 bits 0AAA-AAAA
- Direccions de 1000-0000 a 1011-1111 inclosa (128-191):
Descodificador per accessoris amb direcció simple sobre 11 bits 10AA-AAAA 1AAA-DAAAR i
Descodificador per accessoris amb direcció estesa a 11 bits 10AA-AAAA 0AAA-0AA1
- Direccions de 1100-0000 a 1110-0111 inclosa (192 a 231):
Descodificador per vehicle amb direcció sobre 14 bits 11AA-AAAA AAAA-AAAA
- Direccions de 1110-1000 a 1111-1110 inclosa (232-254):
Reservades per utilitzacions futures
- Direcció 1111-1111 (255):
Direcció neutra o també paquet de vigília.

Octet de dades 2 – Octet de comandament: L'octet de comandament encamina les informacions de velocitat i sentit de marxa a la locomotora seleccionada.

Els bits 7 i 6 contenen la seqüència 01 que assenyala l'octet de dades com si fos un octet de comandament.²⁾

El bit 5 (D) defineix el sentit de marxa, si el valor és « 1 » la locomotora avança³⁾, si el valor és « 0 » la locomotora retrocedeix.

El bit 4 (C) té una funció especial i és, generalment, el bit menys significatiu (LSB) per la definició del control de velocitat.

Els bits 3 – 0 (SSSS) defineixen amb el bit 4, la velocitat de marxa en codi binari. La taula 1 descriu la relació entre el codi binari i la graduació.

Octet de dades 3 – Octet de control: L'octet de control permet al descodificador descobrir els errors de transmissió.

²⁾ Les altres configuracions possibles dels bits 6 i 7 estan reservades per altres tipus de comandament.

³⁾ Marxa endavant, significa que la locomotora es desplaça, cabina de conducció 1 cap endavant.

Taula 1: Relació entre la codificació dels bits S 3-0, C i la graduació⁴⁾

S ₃ S ₂ S ₁ S ₀ C	graduació	S ₃ S ₂ S ₁ S ₀ C	graduació	S ₃ S ₂ S ₁ S ₀ C	graduació	S ₃ S ₂ S ₁ S ₀ C	graduació
0 0 0 0 0	Stop	0 1 0 0 0	5	1 0 0 0 0	13	1 1 0 0 0	21
0 0 0 0 1	Stop**	0 1 0 0 1	6	1 0 0 0 1	14	1 1 0 0 1	22
0 0 0 1 0	EStop*	0 1 0 1 0	7	1 0 0 1 0	15	1 1 0 1 0	23
0 0 0 1 1	EStop**	0 1 0 1 1	8	1 0 0 1 1	16	1 1 0 1 1	24
0 0 1 0 0	1	0 1 1 0 0	9	1 0 1 0 0	17	1 1 1 0 0	25
0 0 1 0 1	2	0 1 1 0 1	10	1 0 1 0 1	18	1 1 1 0 1	26
0 0 1 1 0	3	0 1 1 1 0	11	1 0 1 1 0	19	1 1 1 1 0	27
0 0 1 1 1	4	0 1 1 1 1	12	1 0 1 1 1	20	1 1 1 1 1	28

* Parada d'emergència (emergency stop), el descodificador ha de parar la locomotora ¡el més aviat possible!

** El bit de direcció (bit 5) pot ser ignorat per les funcions dependents de la direcció (opcional).

4.2 Paquet de dades DCC bàsics per la posada a zero general dels descodificadors

Format de dades DCC bàsics:

1111111111111111	0	00000000	0	00000000	0	00000000	1
Sincronització		Octet de dades1		Octet de dades 2		Octet de dades 3	(octet de control)

El paquet de dades DCC per la posada a zero general dels descodificadors està constituïda per tres octets en els que tots els bits estan a zero. Quan un descodificador rep aquest paquet de dades, ha d'esborrar totes les seves memòries no permanents (dades de velocitat i sentit de marxa compresos) i passar al seu estat normal de posada sota tensió. Si la locomotora està en moviment, el descodificador ha d'aplicar una parada d'emergència.

En els 20 mili segons que segueixen a un paquet de posada a zero general, una central de comandament no ha d'enviar un paquet de dades amb una direcció compresa entre 01100100 (direcció 100) i 01111111 (direcció 127) ambdós incloses, excepte si vol passar al mode « Service », (servei).⁵⁾

4.3 Paquet de dades DCC bàsic buit

Format de dades DCC bàsics:

1111111111111111	0	11111111	0	00000000	0	11111111	1
Sincronització		Octet de dades1		Octet de dades 2		Octet de dades 3	(octet de control)

El paquet de dades en el qual el primer i tercer octet contenen vuit bits « 1 » i el segon conté vuit bits « 0 » és un paquet de dades buit.

Els descodificadors que reben aquest paquet de dades no han d'iniciar noves accions i s'han de comportar com si haguessin rebut un paquet de dades dirigit a un altre descodificador.

4.4 Paquet de dades DCC bàsic – senyal de parada general

Format de dades DCC bàsics:

1111111111111111	0	00000000	0	01DC000S	0	PPPPPPPP	1
Sincronització		Octet de dades1		Octet de dades 2		Octet de dades 3	(octet de control)

4) El pas de velocitat es dedueix del valor binari substrahent-n'hi 3.

5) La configuració d'un descodificador pot ser modificada immediatament després d'un missatge de posada a zero.

El paquet de dades que al primer octet conté 8 bits « 0 », al segon octet conté un ordre de parada específica i llavors en el tercer octet conté un octet de control idèntic a l'octet 2, és el paquet de dades «senyal de parada general» "(velocitat = 0)".

Quan el bit 0 de l'octet de dades 2 (bit S) conté un « 0 », els descodificadors que controlen una locomotora han de començar el procediment de parada d'aquesta (ralentització després de la parada de la funció de la inèrcia programada al descodificador).

Si el bit S és un « 1 », els descodificadors han de parar immediatament les locomotores tallant el corrent del motor.

5. Repetició dels paquets de dades DCC bàsics

5.1 Espaiament de paquets de dades

Els paquets de dades emesos cap els descodificadors s'han de repetir tant ràpid com sigui possible, ja que es pot perdre un paquet per culpa de perturbacions degudes a la mala conductivitat elèctrica entre els carrils i les rodes o els pantògrafs. La transmissió del senyal de via es pot interrompre entre el final de paquet i els bits de sincronització del següent paquet amb la finalitat de permetre l'emissió d'altre tipus de senyal de control (bidireccional). Un descodificador ha de reaccionar als paquets de dades que se li enviïn quan l'interval entre l'últim bit del primer paquet i el primer bit del segon paquet és com a mínim de 5 mili segons.⁶⁾

Si un descodificador rep una seqüència de bits amb un «bit start» que falta o que no és vàlid o un «bit stop» que falta o no és vàlid o un «octet de control» no conforme, ha de reconèixer la «seqüència de sincronització» vàlida següent com l'inici d'un nou paquet.

Només es pot transmetre a la via un altre tipus de senyal de comandament si està entre el bit de parada d'un paquet i l'inici de la seqüència de sincronització del paquet següent.

Interval mínim entre dos paquets de dades: $t_d > 5 \text{ ms}$ interval de temps

5.2 Freqüència d'emissió de paquets de dades

Ha de ser possible configurar una central de control DCC amb la finalitat que emeti un paquet de dades al menys cada 30 mili segons, mesurats entre els bits d'Inici (Start) dels paquets.

Temps de repetició entre els paquets de dades DCC: $t_R \leq 30 \text{ ms}$. temps de repetició t

6. Comportament dels descodificadors en la conversió automàtica de diferents estàndards.

Es demana als fabricants que proposin descodificadors capaços d'una conversió automàtica entre diferents tipus de formats de control, que aquesta capacitat pugui ser inhibida de tal manera que els descodificadors responguin exclusivament als senyals de comandament DCC.

Quan la funció « conversió automàtica » està activada, els descodificadors han de quedar en mode DCC mentre que l'interval de temps entre els bits d'inici « start » dels dos paquets consecutius sigui igual o inferior a 30 mil·lisegons. Si la funció « conversió automàtica » està desactivada, els descodificadors han de quedar-se en mode DCC, sigui quin sigui l'interval de temps entre els bits d'inici « start » dels dos paquets consecutius.⁷⁾

Temps d'espera abans del pas d'un descodificador digital a un mode no DCC:
 $t_w \geq 30 \text{ ms}$ temps de latència

⁶⁾ S'han de prendre totes les precaucions per no emetre dos paquets de dades espaiats amb menys de 5 mil·lisegons a una mateixa direcció compresa entre 112 (binari 0111 10000) i (011 11111). Els descodificadors més vells podrien interpretar paquets de dades en mode de servei.

⁷⁾ Certs descodificadors DCC més vells han de rebre un paquet de dades DCC vàlid al menys en 30 mili segons per impedir una commutació en mode analògic. Un pas de repetició més llarg de 30 mili segons pot portar a una degradació de les característiques dels descodificadors.